

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平10-41409

(43) 公開日 平成10年(1998) 2月13日

(51) Int.Cl. <sup>6</sup>	識別記号	庁内整理番号	F I	技術表示箇所
H 0 1 L	21/8244		H 0 1 L 27/10	3 8 1
	27/11			4 6 1
	27/10	4 6 1		6 8 1 F
	27/108			
	21/8242			

審査請求 未請求 請求項の数 2 F D (全 5 頁)

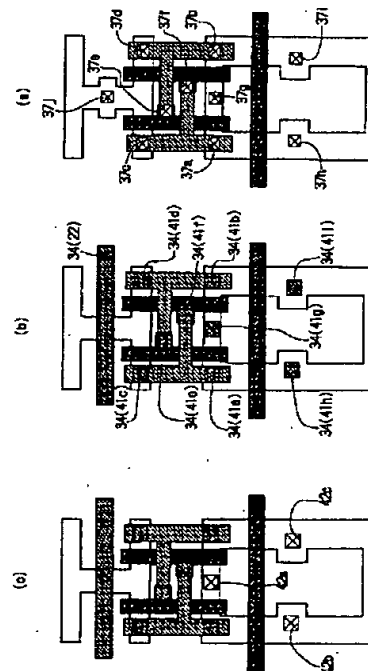
(21) 出願番号	特願平8-211856	(71) 出願人	000002185 ソニー株式会社 東京都品川区北品川 6 丁目 7 番35号
(22) 出願日	平成 8 年(1996) 7 月23日	(72) 発明者	小塩 賢治 東京都品川区北品川 6 丁目 7 番35号 ソニ ー株式会社内
		(74) 代理人	弁理士 土屋 勝

(54) 【発明の名称】 半導体装置

(57) 【要約】

【課題】 配線の形成工程でパターン崩れや塵埃等の影響を受けにくくすると共に配線の形成工程で付着した塵埃を除去し易くして、歩留りを高める。

【解決手段】 DRAMの容量素子の電極等と同一層の多結晶Si膜でSRAMのフリップフロップの交差結合用の配線が形成されているので、Al膜34で交差結合用の配線が形成されている構造に比べて、Al膜34から成る配線の密度が低い。しかも、多結晶Si膜はAl膜よりもパターニング後に変形しにくいので、効果的な洗浄を交差結合用の配線の形成後に行うことができ、形成工程で付着した塵埃を除去し易い。



1

## 【特許請求の範囲】

【請求項1】 フリップフロップを用いて構成されている第1のメモリセルと容量素子を用いて構成されている第2のメモリセルとを含む半導体装置において、半導体基板上における第2層目以降の同一層の半導体層から形成されている配線を前記第1及び第2のメモリセルが有していることを特徴とする半導体装置。

【請求項2】 前記第1のメモリセルにおける前記配線が前記フリップフロップの交差結合用の配線であることを特徴とする請求項1記載の半導体装置。

## 【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、SRAMとDRAMとの両方を含む半導体装置に関するものである。

【0002】

【従来の技術】図4は、完全CMOS型SRAMのメモリセルの等価回路を示している。このメモリセルのフリップフロップ11は駆動用のNMOSTランジスタ12、13と負荷用のPMOSTランジスタ14、15とから成っており、このフリップフロップ11と転送用のNMOSTランジスタ16、17とでメモリセルが構成されている。

【0003】NMOSTランジスタ12、13のソースには接地線21が接続されており、PMOSTランジスタ14、15のソースには電源線22が接続されている。また、ワード線23がNMOSTランジスタ16、17のゲート電極になっており、これらのNMOSTランジスタ16、17の各々の一方のソース/ドレインに真補のビット線24、25が接続されている。

【0004】NMOSTランジスタ12及びPMOSTランジスタ14は電気的に共通なゲート電極26aを有しており、NMOSTランジスタ13及びPMOSTランジスタ15も電気的に共通なゲート電極26bを有している。また、NMOSTランジスタ12側の記憶ノードとゲート電極26b、及びNMOSTランジスタ13側の記憶ノードとゲート電極26aが、配線27a、27bで交差結合されている。

【0005】図5は、完全CMOS型SRAMとDRAMとの両方を混載しているASICの一従来例のうちに製造過程にある完全CMOS型SRAMのメモリセルを示している。このメモリセルを形成するためには、Si基板の表面にLOCOS法で素子分離用のSiO<sub>2</sub>膜を形成して、互いに分離されている素子活性領域31n、31pを区画する。

【0006】その後、素子活性領域31n、31pの表面にゲート酸化膜としてのSiO<sub>2</sub>膜を形成し、Si基板上の第1層目の多結晶Si膜32でゲート電極26a、26bとワード線23とを形成する。そして、多結晶Si膜32をマスクにして素子活性領域31n、31pに夫々N型の拡散層33a～33e及びP型の拡散層

2

33f～33hを形成して、NMOSTランジスタ12、13、16、17及びPMOSTランジスタ14、15を形成する。

【0007】その後、多結晶Si膜32等を層間絶縁膜で覆い、必要なコンタクト孔をこの層間絶縁膜等に開孔する。そして、Si基板上の第1層目のAl膜34で、拡散層33fに接続する電源線22と、拡散層33b、33g及びゲート電極26bに接続する交差結合用の配線27aと、拡散層33c、33h及びゲート電極26aに接続する交差結合用の配線27bと、拡散層33a、33d、33eに夫々接続するパッド用の配線35a、35b、35cとを形成していた。

【0008】

【発明が解決しようとする課題】ところが、上述の一従来例のASICでは、完全CMOS型SRAMのメモリセルにおける電源線22と交差結合用の配線27a、27bとが共に同一層のAl膜34で形成されているので、このASICが微細化されて配線密度が高められるに伴って、電源線22及び配線27a、27bの形成工程でパターン崩れや塵埃等の影響を受け易くなって、歩留りが低下していた。

【0009】

【課題を解決するための手段】本発明による半導体装置は、フリップフロップを用いて構成されている第1のメモリセルと容量素子を用いて構成されている第2のメモリセルとを含む半導体装置において、半導体基板上における第2層目以降の同一層の半導体層から形成されている配線を前記第1及び第2のメモリセルが有していることを特徴としている。

【0010】本発明による半導体装置は、前記第1のメモリセルにおける前記配線が前記フリップフロップの交差結合用の配線であってもよい。

【0011】本発明による半導体装置では、半導体基板上における第2層目以降の同一層の半導体層から形成されている配線がSRAMのメモリセルとDRAMのメモリセルとの両方に用いられているので、互いに異なる層の導電層から形成されている配線が夫々のメモリセルで専用に使われている構造に比べて、配線が多いSRAMのメモリセルで配線の密度を低くすることができる。

【0012】しかも、SRAMのメモリセルとDRAMのメモリセルとの両方に用いられている配線が同一層の半導体層から形成されているので、パターニング後に半導体層よりも変形しやすい金属層からこれらの配線が形成されている構造に比べて、効果的な洗浄を配線の形成後に行うことができる。

【0013】また、リソグラフィで用いるマスクのパターンを変更するだけで、同一層の半導体層からSRAMのメモリセルとDRAMのメモリセルとの両方に配線を形成することができるので、配線の形成工程は増加しない。

## 【0014】

【発明の実施形態】以下、完全CMOS型SRAMとDRAMとの両方を混載しているASICに適用した本発明の一実施形態を、図1～4を参照しながら説明する。本実施形態のASIC中の完全CMOS型SRAMでも、メモリセルの等価回路は既に図4に示したものと同一である。

【0015】このメモリセルの形成に際しても、図1(a)(b)に示す様に、NMOSTランジスタ12、13、16、17及びPMOSTランジスタ14、15を形成した後、多結晶Si膜32等を層間絶縁膜で覆うまでは、図5に示した一従来例を製造する場合と実質的に同様の工程を実行する。

【0016】しかし、本実施形態を製造するためには、その後、図1(c)に示す様に、Si基板上の第2層目以降の多結晶Si膜であってDRAMのメモリセルにおける容量素子の電極等を形成するために用いられている多結晶Si膜と同一層の多結晶Si膜36で、交差結合用の配線27a、27bを形成する。そして、多結晶Si膜36等を層間絶縁膜で覆う。

【0017】次に、図2(a)に示す様に、多結晶Si膜36等を貫通して拡散層33b、33c、33g、33hに達するコンタクト孔37a～37dと、ゲート電極26a、26bに達するコンタクト孔37e、34fと、拡散層33a、33d、33e、33fに達するコンタクト孔37g～34jとを夫々開孔する。

【0018】次に、図2(b)に示す様に、Si基板上の第1層目のAl膜34で、拡散層33fに接続する電源線22と、多結晶Si膜36と拡散層33b、33c、33g、33hとを夫々接続する配線41a～41dと、拡散層33a、33d、33eに夫々接続するパッド用の配線41g、41h、41iとを形成する。なお、プラグでコンタクト孔37a～37jを埋めてもよい。

【0019】次に、図2(c)に示す様に、Al膜34等を層間絶縁膜で覆い、配線41g、41h、41iに達するコンタクト孔42a～42cを開孔する。そして、図3に示す様に、Si基板上の第2層目のAl膜43で、配線41gに接続する接地線21と、配線41h、41iに夫々接続するビット線24、25とを形成する。そして、更に、表面保護膜等を形成してこのASICを完成させる。

【0020】以上の様にして製造した本実施形態のASICにおけるSRAMのメモリセルでは、DRAMのメモリセルにおける容量素子の電極等を形成するために用いられている多結晶Si膜と同一層の多結晶Si膜36で交差結合用の配線27a、27bが形成されているので、Al膜34で配線27a、27bが形成されている

一従来例のASICにおけるSRAMのメモリセルに比べて、図2(b)と図5との比較からも明らかな様に、Al膜34から成る配線の密度が低い。

【0021】しかも、多結晶Si膜はAl膜よりもパターニング後に変形しにくいので、スーパーソニック洗浄よりも周波数の高いメガソニック洗浄やスクラバー洗浄等をパターニング後に行うことができ、配線27a、27bの形成工程で付着した塵埃を除去し易い。

【0022】また、多結晶Si膜36はDRAMのメモリセルにおける容量素子の電極等を形成するために一従来例でも用いられている多結晶Si膜と同一層であるので、配線27a、27bの形成に際して、リソグラフィで用いるマスクのパターンを変更するだけでよく、配線の形成工程は増加しない。

【0023】なお、以上の実施形態では、DRAMのメモリセルにおける容量素子の電極等を形成するために用いられている多結晶Si膜と同一層の多結晶Si膜36で、SRAMのメモリセルにおけるフリップフロップ11の交差結合用の配線27a、27bが形成されているが、多結晶Si膜36とは異なる層の多結晶Si膜で配線27a、27b以外の配線が形成されていてもよい。

【0024】また、以上の実施形態は、完全CMOS型SRAMとDRAMとの両方を混載しているASICに本発明を適用したものであるが、積層CMOS型SRAMや高抵抗負荷型SRAMとDRAMとの両方を混載している半導体装置にも本発明を適用することができる。

## 【0025】

【発明の効果】本発明による半導体装置では、配線が多いSRAMのメモリセルで配線の密度が低くすることができるので、配線の形成工程でパターン崩れや塵埃等の影響を受けにくく、しかも、効果的な洗浄を配線の形成後に行うことができるので、配線の形成工程で付着した塵埃を除去し易くて、歩留りが高い。また、配線の形成工程は増加しないので、製造コストは増大しない。

## 【図面の簡単な説明】

【図1】本発明の一実施形態の製造方法の前半を工程順に示す平面図である。

【図2】一実施形態の製造方法の後半を工程順に示す平面図である。

【図3】一実施形態の平面図である。

【図4】本発明を適用し得るSRAMのメモリセルの等価回路図である。

【図5】本発明の一従来例の製造過程の平面図である。

## 【符号の説明】

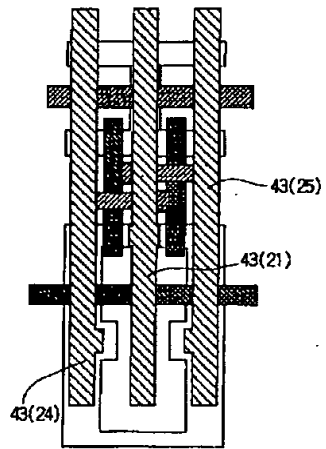
11 フリップフロップ

配線

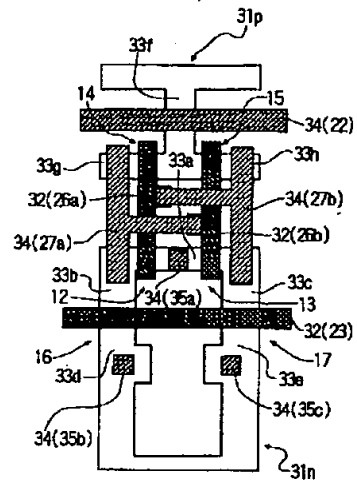
36 多結晶Si膜(半導体層)

Fig. 10 consists of three cross-sectional views labeled (a), (b), and (c), showing the sequential construction of a semiconductor device.   
 (a) The initial stage shows a substrate with a central region 37g and side regions 37a and 37b. A top layer 37j is present.   
 (b) The second stage shows the addition of a thick layer 34(22) on top. Below it, a patterned layer 34(41) is formed, with sub-regions 34(41a) through 34(41i) labeled.   
 (c) The final stage shows the completion of the device structure with additional layers and contacts 42a, 42b, and 42c at the base.

【図3】



【図5】



【図4】

